

## Convertidor RF-CD para aplicaciones en etiquetas pasivas RFID

J. Martínez-Castillo\*, P. J. García-Ramírez, L. García-González,  
L. Herrera-May, Á. Sauceda-Carvajal, A. Castellanos-Mier

Centro de Investigación en Micro y Nanotecnología, Universidad Veracruzana  
C.P. 94294, Veracruz, México

Sergio Solís-Bustos

Intel Tecnología de México, S. A. de C.V.

(Recibido: 16 de octubre de 2010; Aceptado: 11 de febrero de 2011)

El diseño, fabricación y caracterización de un circuito convertidor de RF-CD para una frecuencia de operación a 915 MHz realizado en tecnología  $0.5 \mu\text{m}$  CMOS en aplicaciones de TAGs pasivos RFID es presentado. Este diseño se basa en un sistema rectificador-multiplicador de tres etapas implementado con una red de transistores tipo N conectados como diodos y capacitores. El voltaje mínimo de entrada requerido para su funcionamiento es de 0.7 V con una respuesta en el tiempo menor a 1 msec y un voltaje CD generado de  $\pm 1.5$  V.

*Palabras claves:* RFID; TAG pasivo; Convertidor de RF-CD; Rectificador-multiplicador CD

The design, fabrication and characterization of an RF-DC converter circuit for operating at a frequency of 915 MHz fabricated with a  $0.5 \mu\text{m}$  CMOS technology is presented; this is intended applications in RFID passive TAGs. The design is based on a three stages rectifier-multiplier system implemented with an N-type transistors network connected as diodes as well as capacitors. The minimum input voltage required for its operation is 0.7 V, with a time response shorter than 1 msec, and a DC generated voltage of  $\pm 1.5$  V.

*Keywords:* RFID; Passive TAG; RF-DC converter; DC rectifier-multiplier

### 1. Introducción

El estudio y desarrollo de la ciencia es fundamental para satisfacer la constante demanda de la sociedad en nuevos productos de alta calidad. En este sentido, el mejoramiento en el desempeño de los circuitos integrados dependerá fuertemente de los materiales utilizados para la fabricación de los dispositivos y de las líneas de interconexión.

Para el caso de fabricación de dispositivos, se han utilizado procesos de volumen basados en Si-Ge o Si. Hoy en día, nuevos procesos de fabricación sobre la superficie de la oblea, tales como, tecnologías BiCMOS (BiCMOS-Bipolar Complementary Metal-Oxide-Semiconductor, por sus siglas en inglés) y CMOS (CMOS-Complementary Metal-Oxide-Semiconductor, de sus siglas en inglés) basados en silicio han sido propuestos debido a sus altos niveles de integración y bajos costos [1]. En este contexto, las tecnologías CMOS submicrométricas y nanométricas han mostrado una mejora constante en su funcionamiento y rendimiento en el rango de alta frecuencia (1-10 GHz) [2].

Para alcanzar estos rangos de operación a nivel dispositivo, es de suma importancia considerar el efecto de las líneas de interconexión entre ellos; existiendo una fuerte dependencia de los materiales utilizados entre la metalización y el dieléctrico. Una metalización típica utilizada en la tecnología CMOS es el aluminio y como dieléctrico el dióxido de silicio.

Considerando los puntos anteriores y tomando en cuenta el auge en el diseño de circuitos integrados basados en

tecnologías CMOS para aplicaciones en las altas frecuencias, se ha derivado el desarrollo de nuevas tendencias de integración de circuitos en un substrato empleado en el rango de radio frecuencia (RF-Radio Frequency, por sus siglas en inglés) [3]; aunado además que en los procesos CMOS se tiene la posibilidad de combinar el procesamiento de señales analógicas con las digitales [4]. De los anterior, se ha originado la creación de sistemas completos y complejos dentro de un substrato en silicio (SOC-System On-chip, de sus siglas en inglés) [5]. Un ejemplo representativo son las etiquetas electrónicas empleadas en los sistemas de identificación por radio frecuencia (RFID-Radio Frequency Identification System, por sus siglas en inglés) [6]. Los sistemas RFID pueden utilizarse en diferentes campos de la vida común y de la ingeniería, esto es, considerando su empleo dentro de una cadena productiva que va desde la actividad de identificación de piezas en línea de producción y/o producto terminado hasta su incorporación en los procesos de entrega y control en los puntos de venta. Además, este tipo de sistema puede ser automatizado de manera simple y utilizado en la supervisión y verificación de fechas de producción, de salida, de entrega, de vencimiento, de caducidad y costos de productos dentro de un proceso. Un sistema RFID se compone, principalmente, de dos bloques

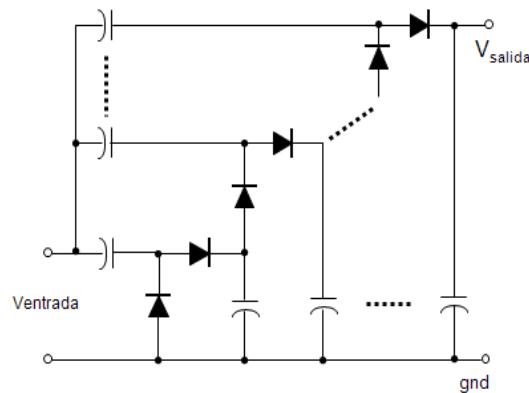


Figura 1. Circuito esquemático de un CRFCD.

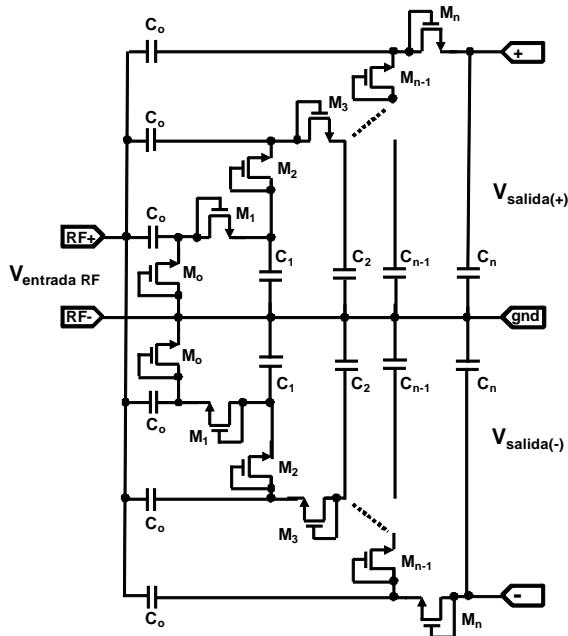


Figura 2. Circuito CRFCD CMOS propuesto.

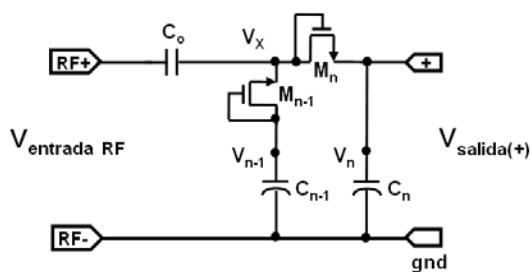


Figura 3. Celda multiplicadora de voltaje [10].

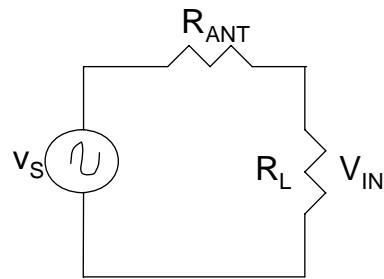


Figura 4. Red de entrada del circuito.

claves, que son los lectores y las etiquetas electrónicas transmisoras y receptoras (TAGs-Transponders, de sus siglas en inglés); además de contar con un sistema de procesamiento de la información generada contenida en una base de datos dentro de una plataforma de trabajo. Existen dos clases de TAGs, activos y pasivos. En la selección del TAG, algunas aplicaciones requieren del tipo pasivo. Estas etiquetas pasivas son pequeñas físicamente y de bajo costo debido a que no hacen uso de baterías. El TAG pasivo utiliza a la portadora de RF como una fuente de potencia para energizarse, es decir, crea su propia fuente de alimentación utilizando las ondas electromagnéticas incidentes provenientes del sistema lector. Los diodos Schottky han sido los elementos utilizados para la realización de este tipo específico de circuitos debido a sus cualidades de baja resistencia de conducción y capacitancia de unión [7], permitiendo operar a niveles de voltaje más bajos en la señal de entrada de RF, y con ello, incrementando la eficiencia en la conversión de la energía. Sin embargo, debido a sus características de fabricación éstos son generalmente incompatibles con los circuitos estándar CMOS, por lo que sus aplicaciones se ven sumamente limitadas. Existen algunos procesos de fabricación de los diodos Schottky que son compatibles con la tecnología CMOS, pero su costo es sumamente alto y son de difícil adquisición comercial. De igual forma, si los pasos de un proceso de fabricación se alteran, el costo de producción aumenta considerablemente. Como una solución a estos inconvenientes se propone el diseño de un circuito convertidor de RF-CD (CRFCD) totalmente integrado en tecnología CMOS. Un CRFCD, convierte la entrada de CA de RF en una salida de CD. El circuito de CA-CD empleado en un TAG pasivo RFID es compuesto de una red diodo-capacitor [8-9], como se observa en la Fig. 1. En este trabajo se presenta el diseño de un circuito rectificador-multiplicador de voltaje CA-CD CMOS con una frecuencia de operación de 915 MHz para TAGs pasivos RFID fabricado en tecnología CMOS-AMIS de  $0.5\mu\text{m}$ . El circuito es simétrico en cuanto a los elementos que realizan la función de rectificación y multiplicación de la fase positiva y negativa. Posteriormente, en la sección II se presenta el modelo analítico para el diseño del CRFCD. La caracterización experimental del prototipo se presenta en la sección III. Finalmente, en la sección IV se muestran las conclusiones de este trabajo de investigación.

## 2. Modelo analítico del CRFCD

El CRFCD propuesto se formó de un rectificador-multiplicador de  $n$  etapas basado en una red compuesta de  $n$  diodos con  $n$  capacitores. Del esquema de la Fig. 1, la función diodo es realizada por cada uno de los transistores NMOS,  $M_0 \dots M_n$ , conectados con los capacitores de entrada y carga,  $C_O$  y  $C_{1 \dots n}$ , respectivamente, como se muestra en la Fig. 2. Cabe mencionar, que todos los transistores MOS son idénticos así como también los capacitores. La red total propuesta se divide en dos bloques a partir del nodo de tierra (*gnd*). La parte superior del circuito es la encargada de rectificar y multiplicar la fase positiva del voltaje de entrada RF ( $V_{\text{entradaRF}} = V_a \cos \omega t$ , donde  $V_a$  es la amplitud y  $f = \omega/2\pi$  es la frecuencia), acoplado entre las terminales RF+ y RF- obtenido de la conversión de una señal electromagnética a eléctrica realizada por la antena, proporcionando un voltaje de salida de CD positivo definido como  $V_{\text{salida}(+)}$ ; en el mismo instante, la parte inferior del circuito realiza la misma función pero para la fase negativa del voltaje de entrada RF entregando un voltaje de salida de CD negativo definido por  $V_{\text{salida}(-)}$ . Por lo tanto, se tiene un rectificador-multiplicador completo para ambas fases de la señal de entrada  $V_{\text{entradaRF}}$  con la generación de dos voltajes de salidas,  $V_{\text{salida}(+)}$  y  $V_{\text{salida}(-)}$ . Ambos voltajes de salidas tienen conectados un capacitor de carga  $C_L$  ( $= C_n$ ) referido a tierra lo suficientemente grande para almacenar energía y ser, posteriormente, suministrada a otras etapas así como también contribuir en la reducción del voltaje de rizo.

Como una primera consideración, para el análisis de diseño de la Fig. 2, se toma en cuenta que el voltaje de substrato a fuente,  $V_{bs}$ , del transistor NMOS sea aproximadamente cero, por lo que el voltaje de encendido es  $V_T = V_{TH} \approx 0.665 V$ , donde  $V_{TH}$  es el voltaje de umbral tomado de la lista de parámetros del proceso de fabricación. Es importante estimar  $V_{TH}$  dado que es el voltaje mínimo requerido para encender los transistores  $M_0$  (configuración diodo), iniciando el proceso de rectificación-multiplicación de cualquiera de las fases de  $V_{\text{entradaRF}}$ . El  $V_{TH}$  depende del voltaje suministrado por la antena así como de las posibles variaciones en los parámetros propios del proceso de fabricación. La energía recibida por la antena, a una distancia definida, inducirá un voltaje que será suficiente para encender a los transistores  $M_0$ , sin embargo, si la distancia es mayor que la longitud determinada, la energía decrecerá rápidamente por lo que no será posible llevar a efecto el proceso de rectificación. Respecto a las posibles variaciones de proceso que afectan a  $V_{TH}$ , las concentraciones de portadores de carga de ambas regiones del diodo así como la temperatura de operación son dos factores que pudieran impactar el desempeño eléctrico del transistor a través del voltaje de la región de unión.

Para el análisis de diseño del CRFCD se definió una celda base. La técnica de diseño se aplica tanto para la fase positiva como la negativa para realizar la rectificación-multiplicación. La celda base rectificadora-multiplicadora

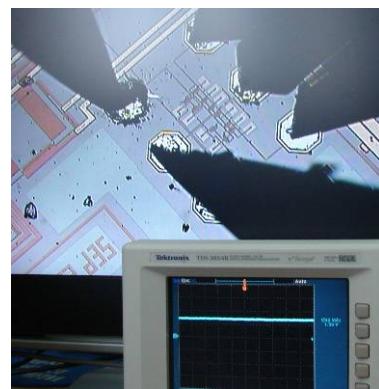
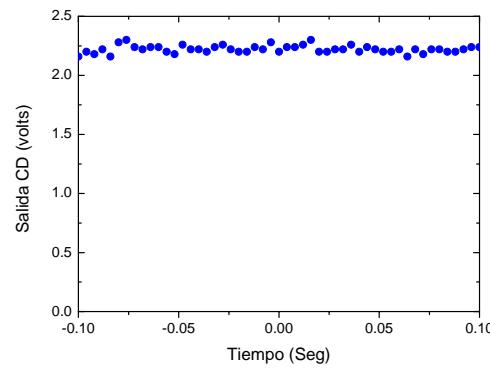
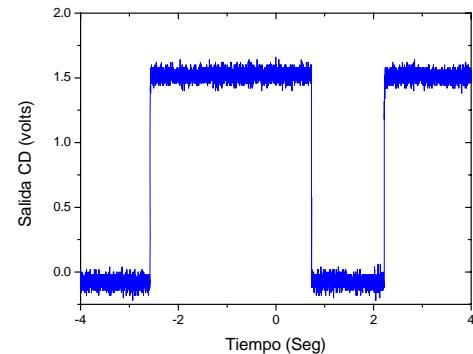


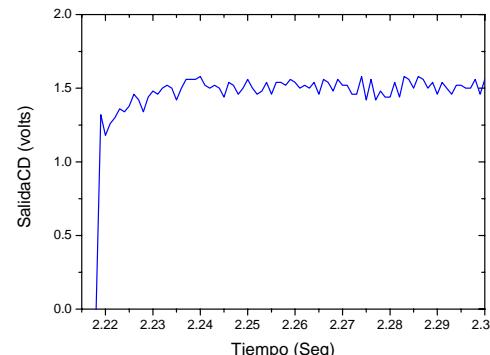
Figura 5. Foto del circuito integrado CRFCD en etapa de caracterización.



(a)



(b)



(c)

Figura 6. Resultados experimentales del voltaje de salida: (a) fase positiva con la fase negativa, (b) fase positiva y (c) el tiempo de respuesta de la fase positiva.

de voltaje [10, 11, 12], se muestra en la Fig. 3. Los capacitores de multiplicación  $C_{n-1}$  y  $C_n$  se consideran como dos fuentes de voltaje en CD,  $V_{n-1}$  y  $V_n$ , respectivamente;  $C_o$  es un capacitor de acoplamiento que combina la entrada de voltaje  $V_{\text{entradaRF}}$  con  $V_{n-1}$  y además proporciona la recarga de voltaje ( $V_{C0}$ ) para la siguiente etapa de multiplicación. Se define a  $V_{dn-1}$  como la caída de voltaje en el transistor  $M_{n-1}$ ,  $V_{dn}$  para  $M_n$  y finalmente  $V_X$  como el voltaje en CD en el nodo  $X$ .

Como una fuente de alimentación constante se tiene que:

$$V_x = V_{n-1} - V_{dn-1} \quad V_x = V_n + V_{dn} \quad (1)$$

donde se consideran los voltajes  $V_{dn-1}$  y  $V_{dn}$  iguales al voltaje de encendido  $V_{TH}$ . La ecuación (1) representa una definición que se considera para obtener el voltaje de salida del circuito debido a que las geometrías de los transistores son idénticas por lo que tenemos a:

$$\left(\frac{W}{L}\right)_{M_{n-1}} = \left(\frac{W}{L}\right)_{M_n} \quad (1.1)$$

donde  $W$  y  $L$  son el ancho y el largo de los transistores  $M_{n-1}$  y  $M_n$ , respectivamente. Debido a que las geometrías y el  $V_{TH}$  de los transistores  $M_{n-1}$  y  $M_n$  que integran a la celda base CRFCD son iguales se expresa la ecuación siguiente como:

$$V_x = \frac{(V_n + V_{n-1})}{2} \quad (2)$$

por lo que se obtiene que la entrada actual para  $M_n$  es  $V_{C0} + V_{\text{entradaRF}}$ . Suponiendo que el incremento en voltaje es la unidad el voltaje  $\Delta V$  se puede definir como:

$$\Delta V = V_{\text{entradaRF}} - V_d; \frac{(V_n + V_{n-1})}{2} + \Delta V = V_n, \quad (3)$$

$$V_n = V_{n-1} + 2\Delta V$$

Si agregamos un par de transistores MOS y capacitores como una nueva celda multiplicadora de voltaje, el número de bloques de la Fig. 3 se escala a dos. Por lo que ahora se considera a:

$$V_n = V_{n-2} + 2\Delta V \quad (4)$$

donde  $n=2k+1$ ;  $k$  es el número ordinario de la celda multiplicativa inicial y es igual a 1, 2, 3, 4, 5... con el mismo cociente  $W/L$  en todos los transistores y cada  $\Delta V$  siendo idéntico, al iterar se obtiene:

$$V_n = V_{n-4} + 4\Delta V = V_{n-6} + 6\Delta V \quad (5)$$

Finalmente, si  $V_n = n\Delta V$  resulta en:

$$V_n = n\Delta V = n(V_{\text{entradaRF}} - V_d) \quad (6)$$

donde  $n$  es el número total de etapas de celdas multiplicadoras del circuito propuesto. La eficiencia de conversión se define en base a la ecuación presentada por Jari-Pascal Curty [13]:

$$\eta = \frac{P_o(DC)}{P_i} = 1 - \frac{P_p}{P_i} \quad (7)$$

donde  $P_i$  es la potencia de entrada,  $P_o$  la potencia de salida y  $P_p$  representa las pérdidas de potencia en el CRFCD. Debido a que el sistema opera en alta frecuencia (915 MHz), una aproximación para el cálculo de la potencia es considerar a los capacitores de acoplamiento y multiplicadores en corto circuito, por consiguiente cada transistor NMOS puede aproximarse como una resistencia  $R_c$  y una capacitancia en paralelo  $C_p$ . En la etapa de multiplicación cada transistor se carga durante el periodo positivo y se descarga en el ciclo negativo de la señal. Las pérdidas de potencia de cada transistor dependen de los períodos de carga y descarga:

$$P_{\text{pérdidas,nmos}} = I^2_{\text{carga}} R_c + I^2_{\text{descarga}} R_c \quad (8)$$

$$= \frac{1}{2} \left( \frac{V_i}{R_c} \right)^2 R_c + \frac{1}{2} \left( \frac{V_i}{|Z_{cp}|} \right)^2 R_c \quad (8.1)$$

$$= \frac{1}{2} V_i^2 \left( \frac{1}{R_c} + R_c \omega^2 C_p^2 \right) \quad (8.2)$$

A partir de (8.2) se puede concluir que  $P_{\text{pérdidas,nmos}}$  es mínimo y  $\eta$  es máximo cuando:

$$R_c = \frac{1}{\omega C_p} \quad (9)$$

En la región de saturación la resistencia  $R_c$  se define como:

$$R_c = \frac{1}{g_m} = \frac{V_{gs} - V_{th}}{2I_o} \quad (10)$$

Las consideraciones de potencia son un factor de relevancia a considerar por lo que se define la potencia disponible en la antena  $P_{AV}$  como:

$$P_{AV} = S \cdot A_E \quad (11)$$

Una vez conocido el valor de  $P_{AV}$  es posible determinar una ecuación para el valor RMS de voltaje proporcionado por la antena dada por:

$$V_{RMS} = 2\sqrt{P_{AV} \cdot R_{ANT}} \quad (12)$$

La Fig. 4 muestra la relación de potencia y voltaje definida en la ecuación (12):

En base a la Fig. 4, considerando que la capacitancia de entrada del circuito está inductivamente compensada, es posible determinar el voltaje de entrada al sistema, mediante la ecuación:

$$V_{IN} = \frac{R_{IN}}{R_{IN} + R_{ANT}} V_S \quad (13)$$

Por lo que la amplitud del voltaje de entrada al circuito CRFCD es definido por:

$$V_{IN(RMS)} = 2\sqrt{2P_{AV}R_{ANT}} \cdot \frac{R_{IN}}{R_{IN} + R_{ANT}} \quad (14)$$

### 3. Resultados de la caracterización

Un rectificador-multiplicador MOS con voltajes de salida en CD de  $\pm 1.5$  V para TAGs pasivos RFID fue diseñado y fabricado en tecnología AMIS de  $0.5\mu m$  con doble polisilicio y tres niveles de metal. Los voltajes de  $\pm 1.5$  V, generados en un tiempo menor a 1 mseg, son usados como fuentes de alimentación para polarizar los bloques que componen y procesan la señal en un TAG pasivo. El prototipo fabricado CRFCD se muestra en la microfotografía de la Fig. 5. La dimensión total del diseño fue de  $120\mu m \times 170\mu m$  y los capacitores tienen una dimensión de  $22\mu m \times 31\mu m$ , los cuales ocupan la mayor área en el diseño propuesto.

Durante el proceso de caracterización se llevaron a efecto tres diferentes mediciones. Las mediciones fueron realizadas empleando un generador de señales de RF analógico Agilent, modelo E4420A, un osciloscopio Tektronix, modelo TDS3054B 500 MHz, una estación de pruebas manual para mediciones a nivel oblea Micromanipulator, cable y punta especiales para altas frecuencias Picoprobe, modelo 40A-GSG-150-P.

El chip fue fijado en la plataforma de la estación de pruebas a través de su sistema de vacío. La punta GSG de alta frecuencia fue ubicada y colocada en la entrada del CRFCD, como se observa en la Fig. 5. El cable de alta frecuencia se utilizó para conectar la punta GSG con el generador de señales. El acoplamiento de impedancias entre la entrada del diseño con el generador de señales de RF fue a  $50\Omega$ . Las salidas de voltaje CD del rectificador-multiplicador fueron monitoreadas a través del osciloscopio. La caracterización consistió en observar y medir los voltajes de salida CD (+,-) así como el tiempo de respuesta del diseño, respectivamente. Una señal analógica de RF ( $V_{entradaRF} = V_a \cos \omega t$ ) a una frecuencia de 915 MHz con 0.7 V de voltaje pico fue aplicada a la entrada del

CRFCD. En la Fig. 6, se presentan los tres resultados experimentales obtenidos de la caracterización.

En la figura 6(a) se presenta la respuesta del voltaje de salida total ( $V_{salida(+)} + V_{salida(-)}$ ) del diseño CRFCD debido a la rectificación-multiplicación tanto de la fase positiva como la fase negativa. La señal de entrada de RF inyectada fue constante. Este voltaje obtenido será utilizado para el caso de que el TAG pasivo tenga la capacidad de ser programado. El voltaje de salida CD positivo ( $V_{salida(+)}$ ) se muestra en la Fig. 6(b) donde un valor de +1.5 V fue obtenido. En este caso la señal de entrada inyectada fue encendida y apagada manualmente en el generador de señales RF con el fin de observar la generación del voltaje positivo así como también el tiempo de respuesta. En la Fig. 6(c) se presenta la respuesta transitoria con un tiempo menor a 1 mseg.

### 4. Conclusiones

Un circuito CRFCD, que consiste de un rectificador-multiplicador CA-CD en tecnología CMOS fue diseñado y fabricado. El análisis teórico del diseño, usando la configuración diodo de los transistores MOS, y la etapa de multiplicación con los resultados experimentales obtenidos demuestran la factibilidad de la técnica empleada para el circuito CRFCD propuesto. Las principales ventajas de este diseño son la reducida área de Si del mismo y evitar hacer uso de baterías externas. De este modo, se reducen considerablemente, el costo, el tamaño del dispositivo con la mejora del tiempo de vida y por consiguiente la portabilidad para aplicaciones pasivas de TAG RFID.

### Agradecimientos

Los autores agradecen al centro de fabricación de semiconductores MOSIS por el chip desarrollado dentro del programa académico de investigación MEP, al sistema nacional de investigadores por los recursos económicos para la investigación y al CONACYT dado el apoyo otorgado mediante el proyecto de investigación básica 56642-2007-2009 denominado “Investigación de Circuitos Integrados para Sistemas de Identificación por Radio Frecuencia”.

### Referencias

- [1]. Y. Jato, and A. Herrera, IEEE Latin America Transactions, 7, No. 2, June 2009.
- [2]. Anne-Johan Annema, Bram Nauta, Ronald van Langevelde, and, Hans Tuinhout, IEEE Journal of Solid-State Circuits, 40, No. 1, January 2005.
- [3]. Thomas H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, (Cambridge University Press, England 2004).
- [4]. B. Razavi, Design of Analog CMOS Integrated Circuits, (McGraw-Hill, Inc., 2001).
- [5]. Kenneth K. O, Kihong Kim, Brian A. Floyd, Jesal L. Mehta, Hyun Yoon, Chih-Ming Hung, Dan Bravo, Timothy O. Dickson, Xiaoling Guo, Ran Li, Narasimhan Trichy, Jim Caserta, Wayne R. Bomstad, II, Jason Branch, Dong-Jun Yang, Jose Bohorquez,

- Eunyoung Seok, Li Gao, Aranvind Sugavanam, J.-J. Lin, jie Chen, and J. E. Brewer IEEE Transactions on Electron Devices, **52**, No. 7, July 2005.
- [6]. Jun Yi, Wing-Hung Ki, and Chi-Ying Tsui, IEEE Transactions on Circuits and Systems-I: Regular papers, **54**, No. 1, January 2007.
- [7]. Udo Karthaus, and Martin Fischer, IEEE Journal of Solid-State Circuits, **38**, 1602 (2003).
- [8]. Behnam Jamali, Damith C. Ranasinghe, and Peter H. Cole, Escuela de ingenieria electrica y electronica, Universidad de Adelaide, SA, Australia 2005.
- [9]. Udo Karthaus, and Martin Fischer, IEEE Journal of Solid-State Circuits, **38**, 1602 (2003).
- [10].Yuan Yao, Yin Shi, and Foster. Daí, “A Novel Low-Power Input Independent MOS AC/DC Charge Pump”, Inst. Of Semicond. Chinese Academy of Sciences, Beijing, China, Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium. 23-26 may 2005 .pp 380-383 vol.1. ISBN 0-7803-8834-8. INSPEC Accession Number: 8573390. Digital Object Identifier: 10.1109/ISCAS.2005.1464604.Posted online: 2005-07-25 08:17:35.0
- [11].Jorge Alberto Domínguez Olán, “Diseño de un Convertidor de RF a DC en Tecnología CMOS a 2.4 GHz para Componentes TAG RFID Pasivos”, Tesis de Licenciatura, Universidad Veracruzana, Septiembre 2007.
- [12].J. Martínez-Castillo, P. J. García-Ramírez, L. Herrera-May, L. García-González y C. Zuñiga-Islas, “Rectificador-Multiplicador CMOS para Etiquetas Pasivas RFID”, XIV Iberchip Workshop, ISBN-13 978-968-7938-03-5, Febrero, 2008.
- [13].Jari-Pascal Curty, Norbert Joehl, Catherine Dehollain, and Michel J. Declercq, “Remotely Powered Addressable UHF RFID Integrated System”, Instituto Tecnológico Federal Suizo, Mayo, 2005.